

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

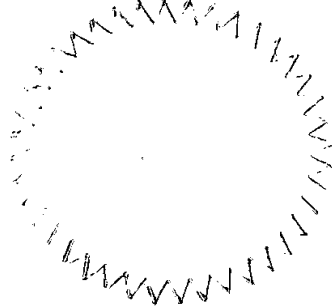
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 15305 호  
Application Number

출원년월일 : 2000년 03월 25일  
Date of Application

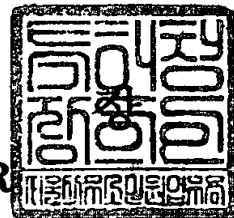
출원인 : 앰코 테크놀로지 코리아 주식회사  
Applicant(s)



2001      01      19  
년      월      일

특      허      청

COMMISSIONER



【서류명】 출원인명의변경신고서  
【수신처】 특허청장  
【제출일자】 2000.05.02  
【구명의인】  
    【명칭】 아남반도체 주식회사  
    【출원인코드】 119980026719  
【신명의인】  
    【성명】 앰코 테크놀로지 코리아 주식회사  
    【출원인코드】 119990323911  
【대리인】  
    【성명】 주성민  
    【대리인코드】 919980005177  
【대리인】  
    【성명】 장수길  
    【대리인코드】 919980004828  
【사건의 표시】  
    【출원번호】 1020000015305  
    【출원일자】 2000.03.25  
    【발명(고안)의 명칭】 반도체패키지  
【변경원인】 전부양도  
【취지】 특허법 제38조제4항·실용신안법 제20조·의장법 제24조 및  
상표법 제12조제1항의 규정에 의하여 위와 같이 신고합니다  
.  
【수수료】 13000  
【첨부서류】 양도증(사본은 동일자로 제출되는 특허번호 제10-70556호  
의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록  
은 해당부분만 첨부))1통 기타 법령에서 정한 증명서류(양  
도인의 법인인감증명서-사본은 동일자로 제출되는 특허번호  
제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원  
용함)1통 기타 법령에서 정한 증명서류(위임장-양도인의  
위임장-사본은 동일자로 제출되는 특허번호 제10-70556호의  
권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은  
해당부분만 첨부))1통 기타 법령에서 정한 증명서류(위임  
장-양수인의 위임장-사본은 동일자로 제출되는 특허번호  
제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원용  
함(별첨 목록은 해당부분만 첨부))1통

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2000.03.25
【국제특허분류】	H01L
【발명의 명칭】	반도체패키지
【발명의 영문명칭】	Semiconductor package
【출원인】	
【명칭】	아남반도체주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	1999-045485-8
【대리인】	
【성명】	최용원
【대리인코드】	9-1998-000658-1
【포괄위임등록번호】	1999-045486-5
【발명자】	
【성명의 국문표기】	서성민
【성명의 영문표기】	SUH, Sung Min
【주민등록번호】	600415-1248017
【우편번호】	138-112
【주소】	서울특별시 송파구 거여2동 258-43
【국적】	KR
【발명자】	
【성명의 국문표기】	정영석
【성명의 영문표기】	CHUNG, Young Suk
【주민등록번호】	611014-1558638
【우편번호】	137-063
【주소】	서울특별시 서초구 방배3동 경남아파트 7동 501호
【국적】	KR

**【발명자】**

**【성명의 국문표기】** 백종식  
**【성명의 영문표기】** PAEK, Jong Sik  
**【주민등록번호】** 700330-1450745  
**【우편번호】** 412-270  
**【주소】** 경기도 고양시 덕양구 화정동 별빛마을 805-1202  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 구재훈  
**【성명의 영문표기】** KU, Jaw Hun  
**【주민등록번호】** 650120-1052516  
**【우편번호】** 131-203  
**【주소】** 서울특별시 중랑구 면목3동 용마한신아파트 1동 710호  
**【국적】** KR

**【발명자】**

**【성명의 국문표기】** 이재학  
**【성명의 영문표기】** LEE, Jae Hak  
**【주민등록번호】** 611011-1047718  
**【우편번호】** 134-050  
**【주소】** 서울특별시 강동구 암사3동 강동아파트 7-202  
**【국적】** KR

**【취지】**

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
 리인 서만  
 규 (인) 대리인  
 최용원 (인)

**【수수료】**

**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 4 면 4,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 33,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

이 발명은 반도체패키지에 관한 것으로, 다수의 반도체칩을 적층한 상태로 리드프레임에 탑재함으로써, 고기능화를 구현하고, 방열성능을 향상시키기 위해, 상면에 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 상면에 더 큰 크기로 위치되며, 하면에 다수의 입출력패드가 형성된 제2반도체칩과; 상기 제1반도체칩의 외주연과 제2반도체칩의 하면 영역에 형성된 다수의 리드와; 상기 제1반도체칩의 입출력패드와 상기 제2반도체칩의 특정 입출력패드를 상호 접속시키고, 또한 상기 제2반도체칩의 다른 입출력패드와 상기 리드를 상호 접속시키는 다수의 도전성 접속수단과; 상기 제1반도체칩, 제2반도체칩, 도전성 접속수단 및 리드를 봉지재로 봉지하되, 상기 리드의 하면은 외부로 노출되도록 형성된 패키지몸체를 포함하여 이루어진 것을 특징으로 함.

## 【대표도】

도 2a

## 【명세서】

## 【발명의 명칭】

반도체패키지{Semiconductor package}

## 【도면의 간단한 설명】

도1은 종래의 반도체패키지를 도시한 단면도이다.

도2a 및 도2b는 본 발명의 제1실시예에 의한 반도체패키지를 도시한 단면도이다.

도3a 및 도3b는 본 발명의 제2실시예에 의한 반도체패키지를 도시한 단면도이다.

도4a 및 도4b는 본 발명의 제3실시예에 의한 반도체패키지를 도시한 단면도이다.

도5a 및 도5b는 본 발명의 제4실시예에 의한 반도체패키지를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

101~108; 본 발명에 의한 반도체패키지

2; 제1반도체칩      4; 제2반도체칩

6; 도전성 접속수단      8; 도전성와이어

10; 칩탑재판      10a; 칩탑재판의 부분에칭부

12; 리드      12a; 리드의 부분에칭부

14; 랜드      15; 절연층

16; 접착제      18; 패키지몸체

20; 도전성볼

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <15> 본 발명은 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 다수의 반도체칩을 적층한 상태로 리드프레임에 탑재함으로써, 고기능화를 구현하고, 방열성능을 향상시킬 수 있는 적층형 반도체패키지(Stacked Semiconductor Package)에 관한 것이다.
- <16> 통상 적층형 반도체패키지는 리드프레임이나 회로기판 등에 다수의 반도체칩을 수직방향으로 적층한 후, 상기 적층된 반도체칩끼리 또는 반도체칩과 리드프레임 및 회로기판을 도전성와이어로 본딩한 것을 말한다. 이러한 적층형 반도체패키지는 하나의 패키지몸체 내측에 다수의 반도체칩을 탑재함으로써 전기적으로 고기능화되고, 또한 마더보드에서의 실장밀도를 높일 수 있기 때문에 최근 대략으로 제조되고 있다.
- <17> 이러한 종래의 적층형 반도체패키지를 도1에 도시하였다.
- <18> 도시된 바와 같이 통상 수지층(2')을 중심으로 그 상면에는 본드핑거(4')를 포함하는 회로패턴이 형성되어 있고, 하면에는 블랜드(6')를 포함하는 회로패턴이 형성되어 있으며, 상기 상,하면의 회로패턴은 도전성비아홀(8')로 상호 연결된 회로기판(10')이 구비되어 있다. 상기 회로기판(10')의 상면 중앙부에는 접착제로 제1반도체칩(12')이 접착되어 있고, 상기 제1반도체칩(12')의 상면에는 접착제로 또다른 제2반도체칩(14')이 접착되어 있다.
- <19> 상기 제1반도체칩(12') 및 제2반도체칩(14')의 입출력패드는 모두 도전성와이어(16')에 의해 회로기판의 본드핑거(4')에 접속되어 있으며, 상기 회로기판(10')의 하면

에 형성된 블랜드(6')에는 다수의 도전성볼(18')이 용착되어 있다.

<20>       상기 회로기판(10')의 상면에 위치된 제1반도체칩(12'), 제2반도체칩(14') 및 도전성와이어(16') 등은 모두 봉지재로 봉지되어 소정의 패키지몸체(20')를 형성하고 있다.

<21>       도면중 미설명 부호 7'는 회로패턴을 외부환경으로부터 보호하기 위해 그 표면에 코팅된 커버코트이다.

<22>       그러나 이러한 종래의 반도체패키지는 고가의 회로기판을 이용함으로써 전체적으로 반도체패키지의 원가가 높아지는 문제점이 있다.

<23>       또한, 비교적 두꺼운 회로기판 상면에 다시 반도체칩을 적층함은 물론, 와이어 본딩에 의한 와이어 루프 하이트가 커짐으로써 결국 반도체패키지의 두께가 두꺼워지는 단점이 있다.

<24>       또한, 반도체칩의 하면은 회로기판이, 반도체칩의 상면 및 측면은 패키지몸체가 덮고 있음으로써 상기 적층된 반도체칩으로부터 발생하는 열이 외부로 적절히 방출되지 않는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<25>       따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 다수의 반도체칩을 플립칩 기술 등을 이용하여 상호 적층하고 또한 이를 리드프레임에 탑재함은 물론 반도체칩과 리드의 접속도 플립칩 기술을 이용함으로써 전기적인 고기능화를 구현하는 동시에, 방열성능을 향상시킬 수 있는 반도체패키지를 제공하는데 있다.



**【발명의 구성 및 작용】**

- <26>       상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 상면에 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 상면에 더 큰 크기로 위치되며, 하면에 다수의 입출력패드가 형성된 제2반도체칩과; 상기 제1반도체칩의 외주연과 제2반도체칩의 하면 영역에 형성된 다수의 리드와; 상기 제1반도체칩의 입출력패드와 상기 제2반도체칩의 특정 입출력패드를 상호 접속시키고, 또한 상기 제2반도체칩의 다른 입출력패드와 상기 리드를 상호 접속시키는 다수의 도전성 접속수단과; 상기 제1반도체칩, 제2반도체칩, 도전성 접속수단 및 리드를 봉지재로 봉지하되, 상기 리드의 하면은 외부로 노출되도록 형성된 패키지몸체를 포함하여 이루어진 것을 특징으로 한다.
- <27>       상기 제1반도체칩의 하면과 제2반도체칩의 상면중 적어도 한 면 또는 양면은 패키지몸체 외측으로 노출될 수 있다.
- <28>       상기 도전성 접속수단은 솔더볼, 골드볼 또는 이방성도전필름중 선택된 어느 하나일 수 있다.
- <29>       상기 도전성 접속수단으로서 솔더볼 또는 골드볼이 이용되었을 경우, 상기 제2반도체칩의 입출력패드와 리드를 접속시키는 영역의 외주연에는 일정두께의 절연층이 형성될 수 있다.
- <30>       또한, 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 상면에 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 상면에 더 작은 위치로 위치되며, 상기 제1반도체칩을 향하여 다수의 입출력패드가 형성된 제2반도체칩과; 상기 제1반도체칩의 하면에 접착제에 의해 접착된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리

이격되어 형성된 다수의 리드와; 상기 제1반도체칩의 특정 입출력패드와 상기 리드를 상호 접속시키는 다수의 도전성와이어와; 상기 제1반도체칩의 다른 입출력패드와 상기 제2반도체칩의 입출력패드를 상호 접속시키는 다수의 도전성 접속수단과; 상기 제1반도체칩, 제2반도체칩, 칩탑재판, 리드, 도전성와이어 및 도전성 접속수단을 봉지재로 봉지하되, 상기 칩탑재판 및 리드의 하면은 외부로 노출되도록 형성된 패키지몸체를 포함하여 이루어진 것을 특징으로 한다.

<31> 여기서, 상기 제2반도체칩은 상면이 패키지몸체 외측으로 노출될 수 있다.

<32> 또한, 상기 제1반도체칩은 리드 상면까지 연장되고, 하면은 접착제로 리드 상면에 접착될 수 있다.

<33> 한편, 상기 목적 달성을 위한 두종류의 반도체패키지에서 상기 리드는 칩탑재판을 향하는 단부 하면에 일정 깊이의 부분에칭부가 형성되어 패키지몸체 내측에 결합되어 있고, 상기 부분에칭부의 외주연에는 랜드가 형성되어 패키지몸체 외측으로 노출될 수 있다.

<34> 더불어, 상기 목적 달성을 위한 두종류의 반도체패키지에서 상기 리드는 하면에 적어도 하나 이상의 부분에칭부가 형성되어 패키지몸체에 결합되어 있고, 상기 부분에칭부의 외주연에는 랜드가 형성되어 패키지몸체 외측으로 노출되어 있되, 상기 랜드는 패키지몸체의 하면에 행과 열을 이루며 어레이될 수 있다.

<35> 상기 랜드에는 도전성불이 용착될 수도 있다.

<36> 상기 패키지몸체 하면으로 노출된 제1반도체칩의 하면에는 도전성페이스트가 더 용착될 수 있다.

- <37>       상기 칩탑재판의 하면에도 도전성페이스트가 더 용착될 수 있다.
- <38>       또한, 상기 두번째 반도체패키지에서도 상기 도전성 접속수단은 솔더볼, 골드볼 또는 이방성도전필름중 선택된 어느 하나일 수 있다.
- <39>       상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 고가의 회로기관 대신 저가의 리드프레임을 이용함으로써 전체적인 반도체패키지의 원가가 작아지는 장점이 있다.
- <40>       또한, 일정거리 이격된 리드 사이에 반도체칩을 위치시킴으로써 그 두께를 박형화할 수 있는 장점도 있다.
- <41>       더불어, 종래와 같은 도전성와이어 대신 도전성 접속수단을 이용함으로써 그 반도체패키지의 두께를 더욱 박형화할 수도 있다.
- <42>       또한, 적층된 두 반도체칩의 상,하면을 패키지몸체 외측으로 노출시키거나 또는 반도체칩의 상면 및 그 저면의 칩탑재판 저면을 패키지몸체 외측으로 노출시킴으로써 전체적인 방열성능을 향상시킬 수 있게 된다.
- <43>       또한, 반도체칩과 리드를 도전성 접속수단 특히 골드볼이나 솔더볼을 이용하여 접속할 때에는 상기 골드볼 또는 솔더볼과 접속되는 리드 표면의 외주연에 일정두께의 절연층이 코팅되어 있음으로써 상기 골드볼 또는 솔더볼의 용착이 용이하게 수행되는 장점도 있다.
- <44>       이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

- <45> 도2a 및 도2b는 본 발명의 제1실시예에 의한 반도체패키지(101,102)를 도시한 단면도이다.
- <46> 상면에 다수의 입출력패드(도시되지 않음)가 형성된 제1반도체칩(2)이 위치되어 있다. 상기 제1반도체칩(2)의 상면에는 그 제1반도체칩(2)을 향하여 역시 다수의 입출력패드(도시되지 않음)가 형성된 제2반도체칩(4)이 위치되어 있다. 여기서, 상기 제2반도체칩(4)은 제1반도체칩(2)의 크기보다 크게 형성되어 있다.
- <47> 상기 제1반도체칩(2)의 외주연에는 일정거리 이격되어 다수의 리드(12)가 위치되어 있다.
- <48> 이와 같이 적층된 반도체칩 특히 제1반도체칩(2)이 리드(12) 사이에 위치됨으로써 반도체패키지(101,102)의 두께가 현저히 박형화된다.
- <49> 상기 리드(12)는 도2a에서와 같이 제1반도체칩(2)을 향하는 단부 하면에 일정깊이의 부분에칭부(12a)가 형성되고, 그 외주연에는 랜드(14)가 형성되어 있다.
- <50> 또한 도2b에서와 같이 리드(12) 하면에 부분에칭부(12a)가 형성되어 있고, 상기 부분에칭부(12a) 외주연으로는 다수의 랜드(14)가 형성되어 있되, 저면에서 보았을 때 행과 열을 이루며 어레이된 형태를 할 수 있다.
- <51> 한편, 상기 제1반도체칩(2)의 입출력패드와 상기 제2반도체칩(4)의 특정 입출력패드는 도전성 접속수단(6)에 의해 상호 접속되어 있다.
- <52> 또한 상기 제2반도체칩(4)의 다른 입출력패드는 플립칩 기술을 이용하여 상기 리드(12) 상면과 도전성 접속수단(6)으로 접속되어 있다.
- <53> 여기서, 상기 도전성 접속수단(6)은 골드볼 또는 솔더볼을 이용할 수 있다. 또한

상기 골드볼 또는 솔더볼 대신에 이방성전도필름(ACF; Anisotropic Conductive Film)을 이용할 수도 있다.

<54>        상기 이방성 전도 필름이란, 일반적인 접착 필름과 도전용금속알갱이가 혼합된 것으로 상기 접착 필름의 두께는 약  $50\mu\text{m}$  정도이고 도전용금속알갱이의 지름은 약  $5\mu\text{m}$  정도이다. 또한 상기 도전용금속알갱이의 표면은 얇은 폴리머(Polymer)로 코팅되어 있으며, 이러한 이방성 전도 필름의 소정의 영역에 열 또는 압력을 가하게 되면 그 부분의 도전용금속알갱이를 감싸고 있는 폴리머가 녹게되어 도전성을 갖게 되고 그외의 부분은 확실한 절연성을 유지하는 특성을 가지고 있기 때문에 상호 접속될 부분의 위치 맞춤이 용이한 장점이 있다. 즉, 상기 도전성 접속수단으로서 골드볼 또는 솔더볼을 이용할 경우에는, 반도체칩 또는 리드의 특정 영역에 그 볼을 용착시킨 후, 상호 위치를 맞춘 상태에서 다시 리플로(Reflow) 과정을 거쳐야 하지만, 상기 도전성 접속수단으로 이방성 전도필름을 이용할 경우에는 반도체칩 또는 리드의 접속될 부분에 비교적 넓은 범위로 그 이방성 전도필름을 부착한 후, 단순히 상호 위치를 맞춘 상태에서 소정의 가압력만을 제공하면 특정 부분이 도전 가능하게 된다. 예를 들면, 상기 제2반도체칩(14)과 리드(12) 사이에 넓은 범위로 이방성 전도필름을 위치시키고, 상기 제2반도체칩(14) 또는 리드(12)를 서로 밀착시켜주면, 상기 제2반도체칩(14)의 입출력패드가 상기 이방성 전도필름의 특정영역에 압력을 제공하게 됨으로써, 상기 제2반도체칩의 입출력패드와 리드는 도전 가능하게 된다.(도면에서는 상기 도전성 접속수단으로서 골드볼 또는 솔더볼이 이용된 도면이 도시되어 있으나, 본 발명의 모든 실시예에서 상기 도전성 접속수단은 이방성 전도필름으로 대체될 수 있다)

<55>        따라서, 종래에는 와이어 본딩을 위한 와이어 루프 하이트(Wire Loop Height)가

필요했으나 본 발명은 그러한 제한이 없기 때문에 반도체패키지(101,102)의 두께가 더욱 박형화된다.

<56> 또한, 상기 리드(12)의 상면에는 상기 도전성 접속수단(6)으로서 골드볼 또는 솔더볼이 이용되었을 경우, 그 접속되는 리드(12)의 표면 외주연에 일정 두께의 절연층(15)이 미리 코팅되어 있다. 따라서, 상기 절연층(15)은 도전성 접속수단(6)으로서 골드볼 또는 솔더볼이 용착되는 공정중, 그 골드볼 또는 솔더볼이 절연층(15) 외측으로 흘러넘치지 않도록 함으로써 골드볼 또는 솔더볼간의 쇼트나 반도체칩과 리드(12) 사이의 접속 불량 등을 방지하게 된다.

<57> 여기서, 상기 절연층(15)은 다양한 물질들이 사용될 수 있으며, 솔더마스크(Solder Mask), 커버코트(Cover Coat) 또는 폴리이미드(Polyimide) 등을 사용함이 바람직하다.

<58> 계속해서 상기 제1반도체칩(2), 제2반도체칩(4), 도전성 접속수단(6) 및 리드(12)를 봉지재로 봉지하되, 상기 리드(12)의 하면인 랜드(14)는 외부로 노출되도록 봉지하여 패키지몸체(18)가 형성되어 있다. 여기서, 상기 패키지몸체(18) 내측으로는 리드(12)에 형성된 부분 에칭부가 결합됨으로써 결국 상기 리드(12)는 패키지몸체(18)에서 수평 또는 수직 방향으로 이탈되지 않고 견고하게 고정된다.

<59> 이러한 반도체패키지(101,102)는 상기 패키지몸체(18) 하면으로 노출된 랜드(14)에 솔더를 개재하여 마더보드에 실장할 수 있다. 또한 도2b에 도시된 바와 같이 패키지몸체(18) 외측으로 노출된 랜드(14)에 솔더볼과 같은 도전성볼(20)을 용착하여 마더보드에 실장할 수도 있다.

<60> 도3a 및 도3b는 본 발명의 제2실시예에 의한 반도체패키지(103,104)를 도시한 단면

도이다. 여기서, 상기 제2실시예는 제1실시예와 유사하므로, 그 차이점만을 설명한다.

<61> 도시된 바와 같이 패키지몸체(18) 하면으로는 제1반도체칩(2)의 하면이 노출되어 있고, 패키지몸체(18) 상면으로는 제2반도체칩(4)의 상면이 노출되어 있다. 따라서, 제1반도체칩(2)의 열은 그 하면을 통해 직접 공기중으로 방출가능하고, 또한 제2반도체칩(4)의 열은 그 상면 및 리드(12)를 통해 외부 공기중으로 방출가능하게 된다. 결국 반도체칩의 열방출 경로가 증가함으로써 그 방열성능이 대폭 향상되는 효과가 있다.

<62> 더우기 도3b에 도시된 반도체패키지(104)에서는 패키지몸체(18) 외측으로 노출된 제1반도체칩(2)의 하면에 도전성 페이스트(도시되지 않음) 예를 들면 솔더 페이스트를 형성하여 차후 마더보드에 접속가능하게 할 수 있다. 즉, 상기 제1반도체칩(2)의 하면에 도전성볼(2)의 두께와 유사한 두께로 도전성 페이스트를 형성함으로써, 차후 반도체패키지(104)의 실장 공정중에 상기 도전성 페이스트가 마더보드에도 접속됨으로써 결국 제1반도체칩(2)의 열을 마더보드쪽으로 용이하게 방출시킬 수 있게 된다.

<63> 도4a 및 도4b는 본 발명의 제3실시예에 의한 반도체패키지(105,106)를 도시한 단면도이다.

<64> 상면에 다수의 입출력패드(도시되지 않음)가 형성된 제1반도체칩(2)이 구비되어 있다. 상기 제1반도체칩(2)의 상면에는 하면을 향하여 다수의 입출력패드가 형성된 제2반도체칩(4)이 위치되어 있다.

<65> 상기 제1반도체칩(2)의 하면에는 접착제(16)에 의해 칩탑재판(10)이 접착되어 있다. 상기 칩탑재판(10)은 하면 둘레에 부연부(10a)가 형성되어 있다.

<66> 상기 칩탑재판(10)과 동일평면이며 그 외주연에는 일정거리 이격되어 다수의 리드

(12)가 형성되어 있다. 상기 리드(12) 역시 도4a에 도시된 바와 같이 상기 칩탑재판(10)을 향하는 단부 하면에 부분에칭부(12a)가 형성되어 있고, 상기 부분에칭부(12a) 외측으로는 랜드(14)가 형성되어 있다. 또한 도4b에 도시된 바와 같이 상기 리드(12) 하면에 부분에칭부(12a)가 형성되고, 그 외측으로는 랜드(14)가 형성되어 있되, 저면에서 보았을 때 상기 랜드(14)는 다수의 행과 열을 가지며 어레이되어 형성될 수도 있다.

<67> 한편, 상기 제1반도체칩(2)은 상기 리드(12) 상면까지 연장되고 그 하면은 접착제(16)에 의해 상기 리드(12) 상면에 접착될 수 있다. 즉, 상기 제1반도체칩(2)은 제2반도체칩(4)의 크기보다 크게 형성될 수 있다. 또한, 상기 리드(12) 상면에 접착제(16)를 개재하여 제1반도체칩(2)을 접착시킴으로써 와이어 본딩 공정동안 상기 제1반도체칩(2)이 어느 한쪽으로 틸트(Tilt)되지 않도록 할 수 있다.

<68> 상기 제1반도체칩(2)의 특정 입출력패드(이것은 상기 제2반도체칩(4)과 중첩되지 않는 위치에 형성되어야 함)는 골드와이어나 알루미늄와이어와 같은 도전성와이어(8)에 의해 상기 리드(12) 상면에 본딩되어 있다.

<69> 여기서, 상기 리드(12) 상면에는 도전성와이어(8)와의 본딩력을 향상시키기 위해 금(Au), 은(Ag) 및 팔라듐(Pd) 등이 도금될 수 있다.

<70> 한편, 상기 제1반도체칩(2)의 다른 입출력패드(이는 제2반도체칩(4)의 입출력패드 형성 위치와 대응되는 위치에 형성되어야 함)는 상기 제2반도체칩(4)의 입출력패드와 도전성 접속수단(6)에 의해 상호 접속되어 있다.

<71> 여기서, 상기 도전성 접속수단(6)은 전술한 바와 같이 골드볼, 솔더볼 또는 이방성 전도필름중 선택된 어느 하나를 이용할 수 있다.



- <72>       상기 제1반도체칩(2), 제2반도체칩(4), 칩탑재판(10), 리드(12), 도전성와이어(8) 및 도전성 접속수단(6)은 봉지재로 봉지되어 있되, 상기 칩탑재판(10) 및 리드(12)의 하면은 외부로 노출되어 패키지몸체(18)를 형성하고 있다. 따라서, 상기 제1반도체칩(2), 제2반도체칩(4)의 열은 상기 칩탑재판(10)을 통해 외부로 방출됨으로써 방열성능이 향상된다.
- <73>       상기와 같은 반도체패키지(105,106) 특히, 도4a에 도시된 반도체패키지(105)는 랜드(14)에 솔더를 개재하여 마더보드에 직접 실장할 수 있게 된다. 또한 도4b에 도시된 반도체패키지(106)는 랜드(14)에 미리 솔더볼과 같은 도전성볼(20)을 용착함으로써 마더보드에 실장할 수도 있다. 더불어, 상기 도4b에 도시된 반도체패키지(106)의 칩탑재판(10) 하면에는 상기 도전성볼(20)의 두께와 유사한 두께를 갖는 도전성페이스트를 더 형성할 수도 있다. 상기 도전성페이스트는 전술한 바와 같이 차후 마더보드에 접속되어 칩탑재판(10)의 열을 마더보드쪽으로 전달하는 역할을 한다.
- <74>       도5a 및 도5b는 본 발명의 제4실시예에 의한 반도체패키지(107,108)를 도시한 단면도이다. 여기서, 상기 제4실시예는 상기 제3실시예와 유사하므로 여기서는 그 차이점만을 설명하기로 한다.
- <75>       도시된 바와 같이 패키지몸체(18)의 상면으로는 제2반도체칩(4)의 상면이 직접 공기중으로 노출되어 있다. 따라서, 제2반도체칩(4) 및 제1반도체칩(2)의 열은 칩탑재판(10) 및 상기 제2반도체칩(4)의 상면을 통해 외부로 방출됨으로써 그 방열성능이 향상된다.
- <76>       한편, 상기 반도체패키지(107,108)에서도 도전성 접속수단으로서 골드볼, 솔더볼 또는 이방성 전도필름중 어느 하나를 이용할 수 있고, 또한 도5b에 도시된 반도체패키지

(108)에서는 칩탑재판(10) 하면에 도전성페이스트를 더 형성할 수도 있다.

<77> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

#### 【발명의 효과】

<78> 따라서, 본 발명에 의한 반도체패키지는 고가의 회로기판 대신 저가의 리드프레임을 이용함으로써 전체적인 반도체패키지의 원가가 작아지는 효과가 있다.

<79> 또한, 일정거리 이격된 리드 사이에 반도체칩을 위치시킴으로써 그 두께를 박형화할 수 있는 효과가 있다.

<80> 더불어, 종래와 같은 도전성와이어 대신 도전성 접속수단을 이용함으로써 그 반도체패키지의 두께를 더욱 박형화할 수도 있는 효과가 있다.

<81> 또한, 적층된 두 반도체칩의 상,하면을 패키지몸체 외측으로 노출시키거나 또는 반도체칩의 상면 및 그 저면의 칩탑재판 저면을 패키지몸체 외측으로 노출시킴으로써 전체적인 방열성능을 향상시킬 수 있는 효과가 있다.

<82> 더우기, 상기 패키지몸체 외측으로 노출된 반도체칩 또는 칩탑재판 하면에 도전성페이스트를 형성하고, 이 도전성페이스트를 차후 마더보드에 접속시킴으로써 그 방열성능을 더욱 향상시킬 수 있는 효과가 있다.

<83> 또한, 반도체칩과 리드를 도전성 접속수단으로 접속할 때에는 상기 도전성 접속수단(골드볼 또는 솔더볼에 한함)과 접속되는 리드 표면의 외주연에 일정두께의 절연층이 코팅되어 있음으로써 상기 도전성 접속수단의 용착이 용이하게 수행되는 효과도 있다.

**【특허청구범위】****【청구항 1】**

상면에 다수의 입출력패드가 형성된 제1반도체칩과;

상기 제1반도체칩의 상면에 더 큰 크기로 위치되며, 하면에 다수의 입출력패드가 형성된 제2반도체칩과;

상기 제1반도체칩의 외주연과 제2반도체칩의 하면 영역에 형성된 다수의 리드와;

상기 제1반도체칩의 입출력패드와 상기 제2반도체칩의 특정 입출력패드를 상호 접속시키고, 또한 상기 제2반도체칩의 다른 입출력패드와 상기 리드를 상호 접속시키는 다수의 도전성 접속수단과;

상기 제1반도체칩, 제2반도체칩, 도전성 접속수단 및 리드를 봉지재로 봉지하되, 상기 리드의 하면은 외부로 노출되도록 형성된 패키지몸체를 포함하여 이루어진 반도체 패키지.

**【청구항 2】**

제1항에 있어서, 상기 제1반도체칩의 하면과 제2반도체칩의 상면중 적어도 한 면 또는 양면은 패키지몸체 외측으로 노출된 것을 특징으로 하는 반도체 패키지.

**【청구항 3】**

제1항에 있어서, 상기 도전성 접속수단은 솔더볼, 골드볼 또는 이방성도전필름중 선택된 어느 하나인 것을 특징으로 하는 반도체 패키지.

**【청구항 4】**

제3항에 있어서, 상기 도전성 접속수단으로서 솔더볼 또는 골드볼이 이용되었을 경우, 상기 제2반도체칩의 입출력패드와 리드를 접속시키는 영역의 외주연에는 일정두께의 절연층이 형성된 것을 특징으로 하는 반도체패키지.

**【청구항 5】**

상면에 다수의 입출력패드가 형성된 제1반도체칩과;

상기 제1반도체칩의 상면에 더 작은 위치로 위치되며, 상기 제1반도체칩을 향하여 다수의 입출력패드가 형성된 제2반도체칩과;

상기 제1반도체칩의 하면에 접착제에 의해 접착된 칩탑재판과;

상기 칩탑재판의 외주연에 일정거리 이격되어 형성된 다수의 리드와;

상기 제1반도체칩의 특정 입출력패드와 상기 리드를 상호 접속시키는 다수의 도전성와이어와;

상기 제1반도체칩의 다른 입출력패드와 상기 제2반도체칩의 입출력패드를 상호 접속시키는 다수의 도전성 접속수단과;

상기 제1반도체칩, 제2반도체칩, 칩탑재판, 리드, 도전성와이어 및 도전성 접속수단을 봉지재로 봉지하되, 상기 칩탑재판 및 리드의 하면은 외부로 노출되도록 형성된 패키지몸체를 포함하여 이루어진 반도체패키지.

**【청구항 6】**

제5항에 있어서, 상기 제2반도체칩은 상면이 패키지몸체 외측으로 노출된 것을 특징으로 하는 반도체패키지.

**【청구항 7】**

제5항에 있어서, 상기 제1반도체칩은 리드 상면까지 연장되고, 하면은 접착제로 리드 상면에 접착된 것을 특징으로 하는 반도체패키지.

**【청구항 8】**

제1항 또는 제5항중 어느 한 항에 있어서, 상기 리드는 칩탑재판을 향하는 단부 하면에 일정 깊이의 부분에칭부가 형성되어 패키지몸체 내측에 결합되어 있고, 상기 부분에칭부의 외주연에는 랜드가 형성되어 패키지몸체 외측으로 노출된 것을 특징으로 하는 반도체패키지.

**【청구항 9】**

제1항 또는 제5항중 어느 한항에 있어서, 상기 리드는 하면에 적어도 하나 이상의 부분에칭부가 형성되어 패키지몸체에 결합되어 있고, 상기 부분에칭부의 외주연에는 랜드가 형성되어 패키지몸체 외측으로 노출되어 있되, 상기 랜드는 패키지몸체의 하면에 행과 열을 이루며 어레이되어 있는 것을 특징으로 하는 반도체패키지.

**【청구항 10】**

제8항에 있어서, 상기 랜드에는 도전성볼이 융착된 것을 특징으로 하는 반도체패키지.

**【청구항 11】**

제9항에 있어서, 상기 랜드에는 도전성볼이 융착된 것을 특징으로 하는 반도체패키지.

**【청구항 12】**

제2항에 있어서, 상기 패키지몸체 하면으로 노출된 제1반도체칩의 하면에는 도전성 페이스트가 더 용착되어 차후 마더보드에 실장 가능하게 된 것을 특징으로 하는 반도체 패키지.

**【청구항 13】**

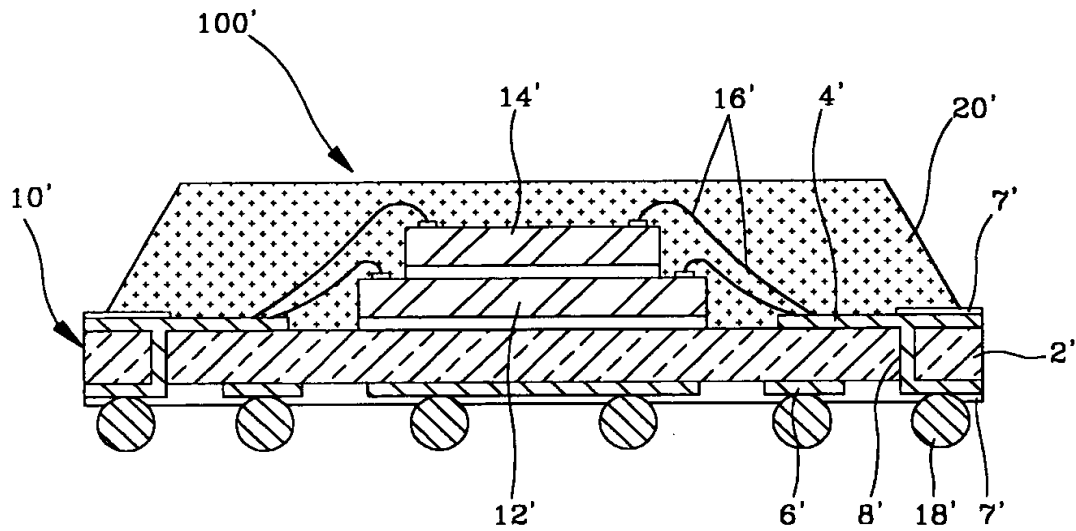
제5항에 있어서, 상기 칩탑재판의 하면에는 도전성페이스트가 더 용착되어 차후 마더보드에 실장 가능하게 된 것을 특징으로 하는 반도체패키지.

**【청구항 14】**

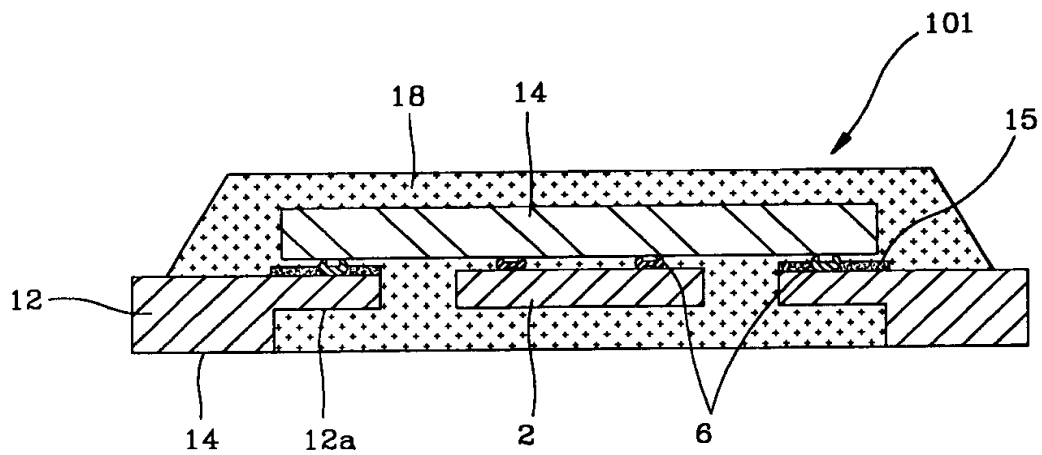
제5항에 있어서, 상기 도전성 접속수단은 솔더볼, 골드볼 또는 이방성도전필름중 선택된 어느 하나인 것을 특징으로 하는 반도체패키지.

【도면】

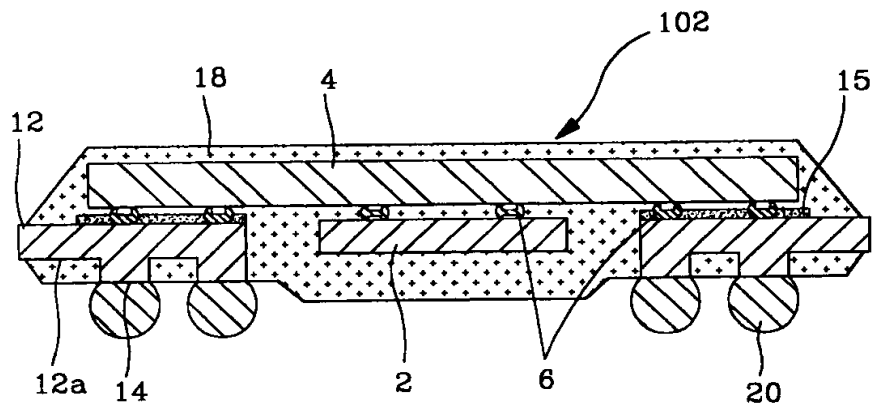
【도 1】



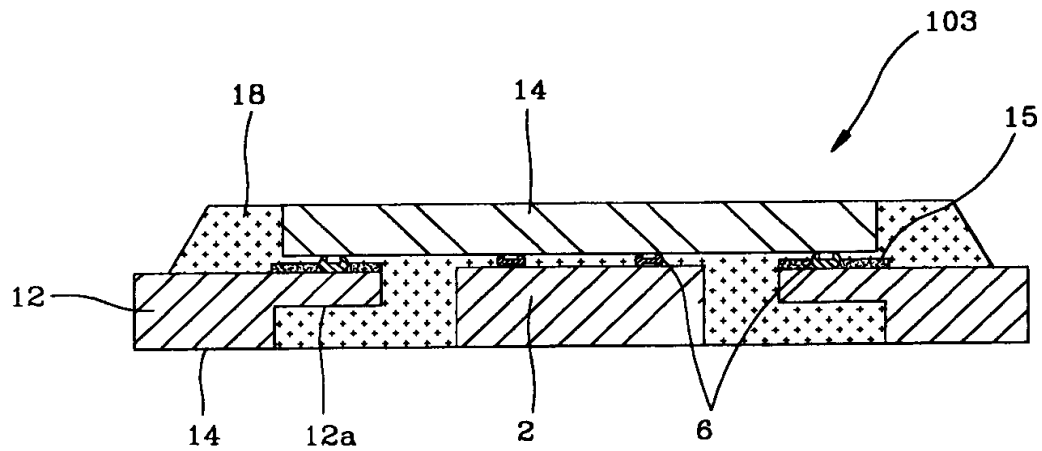
【도 2a】



【図 2b】

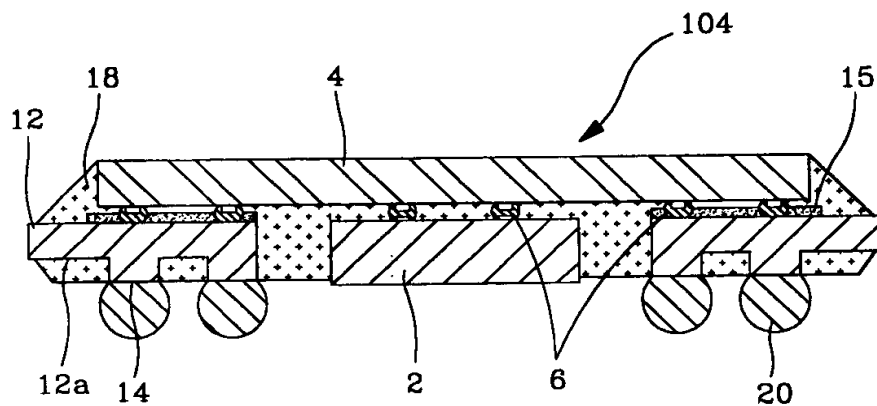


【図 3a】

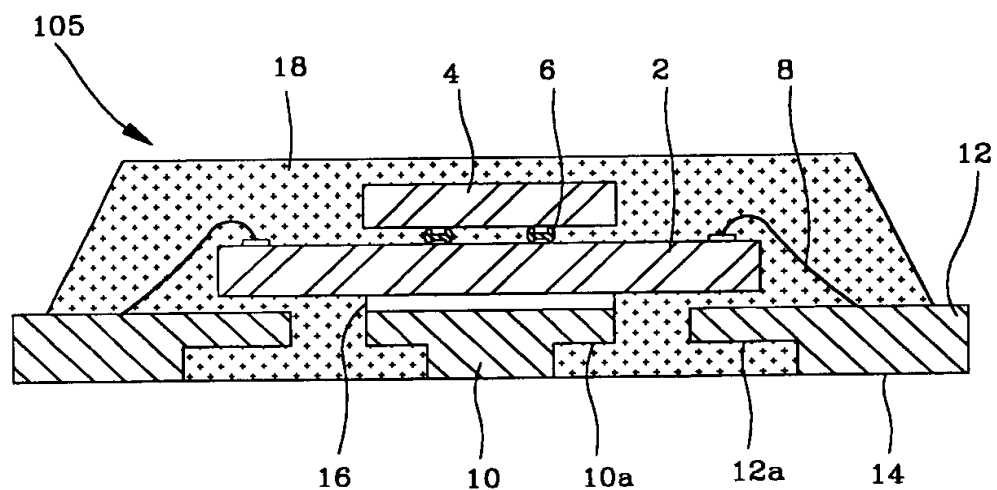




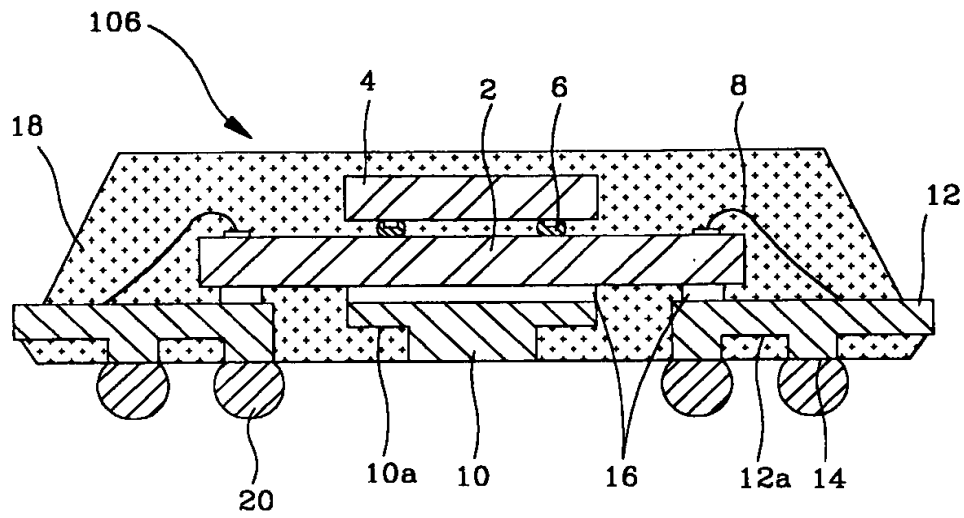
【도 3b】



【도 4a】



【도 4b】



【도 5a】

